

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Noriyuki Suzuki  
Serial No. : New Application  
Filed : February 18, 2004  
Title : METHOD AND APPARATUS FOR CANCELING JITTER

Art Unit : Unknown  
Examiner : Unknown

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119**

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application:

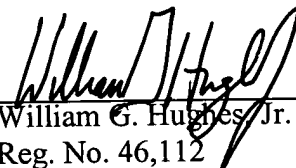
**Japan Application No. 41273/2003 filed February 19, 2003**

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: February 18, 2004

  
\_\_\_\_\_  
William G. Hughes, Jr.  
Reg. No. 46,112

**Customer No. 26171**  
Fish & Richardson P.C.  
1425 K Street, N.W., 11th Floor  
Washington, DC 20005-3500  
Telephone: (202) 783-5070  
Facsimile: (202) 783-2331

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   2 月 1 9 日  
Date of Application:

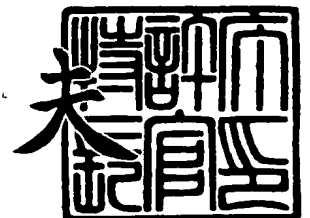
出 願 番 号            特 願 2 0 0 3 - 0 4 1 2 7 3  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 0 4 1 2 7 3 ]

出   願   人            リ ー ダ ー 電 子 株 式 有 限 公 司  
Applicant(s):

2 0 0 4 年   1 月 2 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 4 - 3 0 0 2 8 8 3

【書類名】 特許願

【整理番号】 030246

【提出日】 平成15年 2月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L

【発明者】

    【住所又は居所】 神奈川県横浜市港北区綱島東 2 - 6 - 3 3   リーダー電子株式会社内

    【氏名】 鈴木 則行

【特許出願人】

    【識別番号】 000115603

    【氏名又は名称】 リーダー電子株式会社

【代理人】

    【識別番号】 100089705

    【住所又は居所】 東京都千代田区大手町二丁目 2 番 1 号   新大手町ビル 2 0 6 区   ユアサハラ法律特許事務所

    【弁理士】

    【氏名又は名称】 社本 一夫

    【電話番号】 03-3270-6641

【選任した代理人】

    【識別番号】 100076691

    【弁理士】

    【氏名又は名称】 増井 忠弼

【選任した代理人】

    【識別番号】 100075270

    【弁理士】

    【氏名又は名称】 小林 泰

## 【選任した代理人】

【識別番号】 100080137

【弁理士】

【氏名又は名称】 千葉 昭男

## 【選任した代理人】

【識別番号】 100096013

【弁理士】

【氏名又は名称】 富田 博行

## 【選任した代理人】

【識別番号】 100120112

【弁理士】

【氏名又は名称】 中西 基晴

## 【手数料の表示】

【予納台帳番号】 051806

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ジッタ・キャンセルの方法および装置

【特許請求の範囲】

【請求項 1】

基準となる第 1 同期信号とこれとは異なる第 2 同期信号を用いての映像信号の処理において、該映像信号の所定期間の単位における映像信号ジッタをキャンセルするジッタ・キャンセル方法であって、

前記第 2 同期信号を外部基準信号から発生する第 2 同期信号発生動作を実行するステップと、

前記第 1 同期信号と前記第 2 同期信号との間の時間差におけるジッタである時間差ジッタを検出する時間差ジッタ検出ステップと、

該時間差ジッタに応答して前記第 2 同期信号発生動作を制御することにより、前記時間差ジッタを減少させる時間差ジッタ減少ステップと、  
から成るジッタ・キャンセル方法。

【請求項 2】

請求項 1 記載の方法において、前記第 2 同期信号発生動作は、

前記外部基準信号から原始同期信号を発生するステップと、

前記原始同期信号を選択した遅延選択量だけ遅延させて、遅延同期信号を発生する遅延ステップと、

前記遅延同期信号を前記映像信号とタイミング整合させて、前記第 2 同期信号を発生するタイミング整合ステップと、

を含むこと、

を特徴とするジッタ・キャンセル方法。

【請求項 3】

請求項 2 記載の方法において、前記遅延ステップは、

互いに異なった前記遅延選択量をもつ複数の遅延同期信号を発生するステップと、

前記複数の遅延同期信号のうちから、前記選択した遅延選択量をもつ 1 つの遅延同期信号を選択するステップと、

を含むこと、  
を特徴とするジッタ・キャンセル方法。

**【請求項 4】**

請求項 2 記載の方法において、前記タイミング整合ステップは、前記映像信号から得た基準クロックを使用すること、を特徴とするジッタ・キャンセル方法。

**【請求項 5】**

請求項 4 記載の方法において、前記タイミング整合ステップは、  
前記遅延第 2 同期信号を前記基準クロックに基づきサンプリングしてサンプル同期信号を発生するステップと、  
該サンプル同期信号に基づき、前記映像信号にタイミング整合した前記第 2 同期信号を発生するステップと、  
を含むこと、  
を特徴とするジッタ・キャンセル方法。

**【請求項 6】**

請求項 2 記載の方法において、前記時間差ジッタを検出するステップは、  
前記第 1 同期信号に対する前記第 2 同期信号の位相差を、前記所定期間毎に検出するステップと、  
隣接する 2 つの前記所定期間における前記位相差が、一致するか否か判定し、不一致の場合にこれを表す不一致信号を発生するステップと、  
前記不一致信号の数をカウントして、このカウント結果に応じて前記遅延選択量を指定する遅延選択信号を発生するステップと、  
を含むこと、  
を特徴とするジッタ・キャンセル方法。

**【請求項 7】**

請求項 6 記載の方法において、前記時間差ジッタ減少ステップは、前記遅延選択信号に応答して、前記遅延選択量を増減させること、を特徴とするジッタ・キャンセル方法。

**【請求項 8】**

請求項 7 記載の方法において、前記遅延選択量の増減は、1 回当たり、所定の

単位遅延で行うこと、を特徴とするジッタ・キャンセル方法。

**【請求項 9】**

請求項 7 記載の方法において、前記遅延選択量は、最初はゼロに等しく設定すること、を特徴とするジッタ・キャンセル方法。

**【請求項 10】**

請求項 1 から 9 のいずれかに記載の方法において、

前記第 1 同期信号は、前記の処理する映像信号から発生する内部同期信号であり、

前記第 2 同期信号は、前記外部同期信号から発生する外部同期信号であること、  
を特徴とするジッタ・キャンセル方法。

**【請求項 11】**

請求項 1 から 9 のいずれかに記載の方法において、前記同期信号は、トリガ信号を構成すること、を特徴とするジッタ・キャンセル方法。

**【請求項 12】**

基準となる第 1 同期信号とこれとは異なる第 2 同期信号を用いての映像信号の処理において、該映像信号の所定期間の単位における映像信号ジッタをキャンセルするジッタ・キャンセル装置であって、

外部基準信号を受けて原始第 2 同期信号を発生する同期信号発生手段と、

前記第 1 同期信号と前記第 2 同期信号とを受けるとに接続しており、これら第 1 および第 2 の同期信号の間の時間差におけるジッタを検出して、該時間差ジッタを表す時間差ジッタ信号を発生する時間差ジッタ検出手段と、

前記原始第 2 同期信号と前記時間差ジッタ信号とを受けるとに接続しており、前記時間差ジッタ信号に応答して選択した遅延選択量だけ前記原始第 2 同期信号を遅延させることにより遅延第 2 同期信号を発生する遅延手段と、

前記遅延第 2 同期信号から、前記映像信号にタイミング整合させた前記第 2 同期信号を発生するタイミング整合手段と、  
から成るジッタ・キャンセル装置。

**【請求項 13】**

請求項 1 2 記載の装置において、前記遅延手段は、  
互いに異なった前記遅延選択量をもつ複数の遅延同期信号を発生する遅延信号発生手段と、  
前記複数の遅延同期信号を受けるように接続しており、これら複数の遅延同期信号のうちから、前記選択した遅延選択量をもつ 1 つの遅延同期信号を選択する選択手段と、  
を含むこと、  
を特徴とするジッタ・キャンセル装置。

**【請求項 1 4】**

請求項 1 3 記載の装置において、前記複数の遅延同期信号は、順番に所定の単位遅延量だけ異なること、を特徴とするジッタ・キャンセル装置。

**【請求項 1 5】**

請求項 1 3 記載の装置において、前記遅延手段は、ディレイラインを含むこと、を特徴とするジッタ・キャンセル装置。

**【請求項 1 6】**

請求項 1 2 記載の装置において、前記タイミング整合手段は、前記映像信号から得た基準クロックを使用すること、を特徴とするジッタ・キャンセル装置。

**【請求項 1 7】**

請求項 1 6 記載の装置において、前記タイミング整合手段は、  
前記遅延第 2 同期信号を前記基準クロックに基づきサンプリングしてサンプル同期信号を発生するサンプリング手段と、  
該サンプル同期信号に基づき、前記映像信号にタイミング整合した前記第 2 同期信号を発生する手段と、  
を含むこと、  
を特徴とするジッタ・キャンセル装置。

**【請求項 1 8】**

請求項 1 6 記載の装置において、前記原始第 2 同期信号を遅延させる前記遅延選択量の最大値は、前記基準クロックの 1 周期未満であること、を特徴とするジッタ・キャンセル装置。



**【請求項 1 9】**

請求項 1 2 記載の装置において、前記時間差ジッタ検出手段は、  
前記第 1 同期信号に対する前記第 2 同期信号の位相差を、前記所定期間毎に検出する位相差検出手段と、  
隣接する 2 つの前記所定期間における前記位相差が、一致するか否か判定し、不一致の場合にこれを表す不一致信号を発生する一致検出手段と、  
を含むこと、  
を特徴とするジッタ・キャンセル装置。

**【請求項 2 0】)**

請求項 1 9 記載の装置において、前記時間差ジッタ検出手段は、さらに、  
前記不一致信号の数をカウントして、このカウント結果に応じて前記遅延選択量を指定する遅延選択信号を発生するジッタ減少手段を備え、  
これにより前記遅延選択信号に応答して、前記遅延選択量を増減させること、を特徴とするジッタ・キャンセル装置。

**【請求項 2 1】**

請求項 2 0 記載の装置において、前記遅延選択量の増減は、1 回当たり、所定の単位遅延で行うこと、を特徴とするジッタ・キャンセル装置。

**【請求項 2 2】**

請求項 2 0 記載の装置において、前記遅延選択量は、最初はゼロに等しく設定すること、を特徴とするジッタ・キャンセル装置。

**【請求項 2 3】**

請求項 1 2 から 2 2 のいずれかに記載の装置において、  
前記第 1 同期信号は、前記の処理する映像信号から発生する内部同期信号であり、  
前記第 2 同期信号は、前記外部同期信号から発生する外部同期信号であること、  
を特徴とするジッタ・キャンセル装置。

**【請求項 2 4】**

請求項 1 2 から 2 2 のいずれかに記載の装置において、前記所定期間は、フレ

ーム期間または水平期間であること、を特徴とするジッタ・キャンセル装置。

**【請求項 2 5】**

請求項 1 2 から 2 2 のいずれかに記載の装置において、前記同期信号は、フレーム信号または水平同期信号であること、を特徴とするジッタ・キャンセル装置。

**【請求項 2 6】**

請求項 1 2 から 2 2 のいずれかに記載の装置において、前記外部基準信号は、前記映像信号と同じまたは異なったタイプの映像信号であること、を特徴とするジッタ・キャンセル装置。

**【請求項 2 7】**

請求項 1 2 から 2 2 のいずれかに記載の装置において、前記映像信号の処理は、映像信号の波形表示を含むこと、を特徴とするジッタ・キャンセル装置。

**【請求項 2 8】**

請求項 1 2 から 2 7 記載のジッタ・キャンセル装置を備えた映像信号処理装置。

**【請求項 2 9】**

請求項 1 2 記載の装置において、前記映像信号処理装置は、ウェーブフォーム・モニタであること、を特徴とする映像信号処理装置。

**【発明の詳細な説明】**

**【0 0 0 1】**

**【発明の属する技術分野】**

本発明は、テレビジョン信号等の映像信号の処理の分野に関し、特に映像信号におけるジッタのキャンセルの方法および装置に関するものである。

**【0 0 0 2】**

**【従来の技術】**

従来、映像信号処理装置、例えばウェーブフォーム・モニタのような波形表示装置においては、映像信号（またはテレビジョン信号）の入力を受けてその波形表示を行う際、受けた映像信号入力から得る同期信号とは別の同期信号を外部から受けて使用する場合がある。例えば、テレビジョン・プログラムの制作をする

スタジオ等では、スタジオ内で使用する多数の映像信号プログラムを互いに同期させるため、1つの基準信号を用意し、そしてそれら多数の映像信号プログラムをその基準信号に同期させるようにしている。従来、そのような外部の基準信号から、映像信号用の同期信号（またはトリガ信号）を生成する技術が知られている（例えば、特許文献1参照）。この技術によるトリガ生成回路では、トリガ信号の生成のため、垂直同期信号に位相ロックするPLL回路、または垂直同期信号で起動されるカウンタを用い、これによって、入力として受けた映像信号の映像信号タイプ（インタレースまたはノンインタレースのSDTV（標準品位テレビジョン信号）またはHDTV（高品位テレビジョン信号））に関する水平走査線周期で、トリガ信号を発生するように構成されている。

#### 【0003】

しかし、上記のようなトリガ生成回路を用いた波形表示装置においては、外部から発生する外部トリガ信号と、映像信号入力から発生する内部的に発生する内部トリガ信号との間で切り替えたときに、フレーム周期あるいは水平走査線周期で映像信号にジッタが生ずることがあった。

#### 【0004】

##### 【特許文献1】

特開平11-215447号公報

#### 【0005】

##### 【発明が解決しようとする課題】

したがって、本発明の目的は、映像信号におけるジッタをキャンセルするためのジッタ・キャンセルの方法および装置を提供することである。

#### 【0006】

本発明の別の目的は、このようなジッタ・キャンセル法を組み込んだ映像信号処理装置を提供することである。

#### 【0007】

##### 【課題を解決するための手段】

上記の目的を達成するため、本発明による、基準となる第1同期信号とこれとは異なる第2同期信号を用いての映像信号の処理において、該映像信号の所定期

間の単位における映像信号ジッタをキャンセルするジッタ・キャンセル方法は、前記第2同期信号を外部基準信号から発生する第2同期信号発生動作を実行するステップと、前記第1同期信号と前記第2同期信号との間の時間差におけるジッタである時間差ジッタを検出する時間差ジッタ検出ステップと、該時間差ジッタに応答して前記第2同期信号発生動作を制御することにより、前記時間差ジッタを減少させる時間差ジッタ減少ステップと、から成る。

#### 【0008】

本発明によれば、前記第2同期信号発生動作は、前記外部基準信号から原始同期信号を発生するステップと、前記原始同期信号を選択した遅延選択量だけ遅延させて、遅延同期信号を発生する遅延ステップと、前記遅延同期信号を前記映像信号とタイミング整合させて、前記第2同期信号を発生するタイミング整合ステップと、を含むようにできる。また、前記遅延ステップは、互いに異なった前記遅延選択量をもつ複数の遅延同期信号を発生するステップと、前記複数の遅延同期信号のうちから、前記選択した遅延選択量をもつ1つの遅延同期信号を選択するステップと、を含むようにできる。

#### 【0009】

さらに、前記タイミング整合ステップは、前記映像信号から得た基準クロックを使用するようにできる。この場合、前記タイミング整合ステップは、前記遅延第2同期信号を前記基準クロックに基づきサンプリングしてサンプル同期信号を発生するステップと、該サンプル同期信号に基づき、前記映像信号にタイミング整合した前記第2同期信号を発生するステップと、を含むようにできる。

#### 【0010】

また、本発明によれば、前記時間差ジッタを検出するステップは、前記第1同期信号に対する前記第2同期信号の位相差を、前記所定期間毎に検出するステップと、隣接する2つの前記所定期間における前記位相差が、一致するか否か判定し、不一致の場合にこれを表す不一致信号を発生するステップと、前記不一致信号の数をカウントして、このカウント結果に応じて前記遅延選択量を指定する遅延選択信号を発生するステップと、を含むようにできる。この場合、前記時間差ジッタ減少ステップは、前記遅延選択信号に応答して、前記遅延選択量を増減さ

せるようにできる。前記遅延選択量の増減は、1 回当たり、所定の単位遅延で行うようにすることができる。また、前記遅延選択量は、最初はゼロに等しく設定することができる。

#### 【0 0 1 1】

また、本発明によれば、前記第 1 同期信号は、前記の処理する映像信号から発生する内部同期信号とし、前記第 2 同期信号は、前記外部同期信号から発生する外部同期信号とすることができる。前記同期信号は、トリガ信号を構成するものとすることができる。

#### 【0 0 1 2】

また、本発明による、基準となる第 1 同期信号とこれとは異なる第 2 同期信号を用いての映像信号の処理において、該映像信号の所定期間の単位における映像信号ジッタをキャンセルするジッタ・キャンセル装置は、外部基準信号を受けて原始第 2 同期信号を発生する同期信号発生手段と、前記第 1 同期信号と前記第 2 同期信号とを受けるとに接続しており、これら第 1 および第 2 の同期信号の間の時間差におけるジッタを検出して、該時間差ジッタを表す時間差ジッタ信号を発生する時間差ジッタ検出手段と、前記原始第 2 同期信号と前記時間差ジッタ信号とを受けるとに接続しており、前記時間差ジッタ信号に応答して選択した遅延選択量だけ前記原始第 2 同期信号を遅延させることにより遅延第 2 同期信号を発生する遅延手段と、前記遅延第 2 同期信号から、前記映像信号にタイミング整合させた前記第 2 同期信号を発生するタイミング整合手段と、から成る。

#### 【0 0 1 3】

本発明によれば、前記遅延手段は、互いに異なった前記遅延選択量をもつ複数の遅延同期信号を発生する遅延信号発生手段と、前記複数の遅延同期信号を受けるとに接続しており、これら複数の遅延同期信号のうちから、前記選択した遅延選択量をもつ 1 つの遅延同期信号を選択する選択手段と、を含むようにできる。前記複数の遅延同期信号は、順番に所定の単位遅延量だけ異なるようにできる。前記遅延手段は、ディレイラインを含むようにできる。

#### 【0 0 1 4】

また、本発明によれば、前記タイミング整合手段は、前記映像信号から得た基

準クロックを使用することができる。前記タイミング整合手段は、前記遅延第2同期信号を前記基準クロックに基づきサンプリングしてサンプル同期信号を発生するサンプリング手段と、該サンプル同期信号に基づき、前記映像信号にタイミング整合した前記第2同期信号を発生する手段と、を含むようにできる。前記原始第2同期信号を遅延させる前記遅延選択量の最大値は、前記基準クロックの1周期未満とすることができる。

#### 【0015】

さらに、本発明によれば、前記時間差ジッタ検出手段は、前記第1同期信号に対する前記第2同期信号の位相差を、前記所定期間毎に検出する位相差検出手段と、隣接する2つの前記所定期間における前記位相差が、一致するか否か判定し、不一致の場合にこれを表す不一致信号を発生する一致検出手段と、を含むようにできる。前記時間差ジッタ検出手段は、さらに、前記不一致信号の数をカウントして、このカウント結果に応じて前記遅延選択量を指定する遅延選択信号を発生するジッタ減少手段を備え、これにより前記遅延選択信号に応答して、前記遅延選択量を増減させることができる。前記遅延選択量の増減は、1回当たり、所定の単位遅延で行うことができる。前記遅延選択量は、最初はゼロに等しく設定することができる。

#### 【0016】

さらにまた、本発明によれば、前記第1同期信号は、前記の処理する映像信号から発生する内部同期信号とし、前記第2同期信号は、前記外部同期信号から発生する外部同期信号とすることができる。前記所定期間は、フレーム期間または水平期間とすることができる。前記同期信号は、フレーム信号または水平同期信号とすることができる。前記外部基準信号は、前記映像信号と同じまたは異なったタイプの映像信号とすることができる。前記映像信号の処理は、映像信号の波形表示を含むことができる。

#### 【0017】

また、本発明は、上記のジッタ・キャンセル装置を備えた映像信号処理装置を提供する。本発明によれば、前記映像信号処理装置は、ウェーブフォーム・モニタとすることができる。

## 【 0 0 1 8 】

## 【発明の実施の形態】

以下、本発明のいくつかの実施形態について、図面を参照して詳細に説明する。

## 【 0 0 1 9 】

図 1 は、本発明の 1 実施形態のジッタ・キャンセル装置 A を示すブロック図である。図示のように、ジッタ・キャンセル装置 A は、内部同期信号ソース 1 と、外部同期信号発生部 3 と、ジッタ検出部 5 とから構成されている。内部同期信号ソース 1 は、本装置が組み込まれた別のシステムにおいて処理される映像信号から内部的に生成した内部同期信号を供給する回路であり、そしてこの生成した内部同期信号を供給する出力を有している。外部同期信号発生部 3 は、上記の処理対象の映像信号とは別個の外部の基準信号を受ける第 1 の入力（第 1 入力）を有し、また、ジッタ検出部 5 からの出力（ジッタ検出信号）を受ける第 2 の入力（第 2 入力）も有し、そしてこの外部基準信号から処理対象の映像信号に対し用いる外部同期信号を発生して供給する出力を有している。ここで、外部基準信号としては、処理対象の映像信号と同じまたは異なったタイプの映像信号、あるいはこれから得た信号を使用することができる。この外部基準信号から外部同期信号を発生する同期信号発生処理は、当該分野においては良く知られている。これら外部同期信号および内部同期信号をそれぞれ受ける入力（第 1 入力、第 2 入力）を有するジッタ検出部 5 は、それら同期信号間の時間差におけるジッタを検出し、そしてこの検出した時間差ジッタを供給する出力（ジッタ検出信号）を備えている。尚、外部同期信号は、内部同期信号とは本来的に時間差を有するものであるため、この一定の時間差における揺れがジッタとなる。この時間差ジッタは、外部同期信号発生部 3 にフィードバックされ、これを外部同期信号発生部 3 はその第 2 入力（第 2 入力）で受ける。この入力を受けた外部同期信号発生部 3 は、受けた時間差ジッタにตอบสนองして上記同期信号発生処理に対しその時間差ジッタが減少する方向に制御を行う。尚、外部同期信号発生部 3 内のフィードバック先の回路位置は、時間差ジッタを減少する方向への制御が可能なものであれば、任意の回路位置で良い。以上のフィードバック動作が繰り返されることにより、最終的には、その時間差ジッタは、キャンセルされる。

## 【0020】

次に、図2を参照して、図1のジッタ・キャンセル装置Aをより具体化した1実施形態のジッタ・キャンセル装置Bについて説明する。尚、図2では、図1に示した要素に対応する要素には、同じ参照番号に記号“B”を付している。図示のように、ジッタ・キャンセル装置Bは、大きく分けて、イコライザ／レシーバ／デフォーマッタ1Bと、外部同期信号発生部3Bと、ジッタ検出部5Bとから構成されている。詳細には、イコライザ／レシーバ／デフォーマッタ1Bは、映像信号の1形態であるシリアル・デジタル信号SDIを受ける公知の回路であり、これは、その出力に、内部水平ブランキング信号INT\_\_HBKと、パラレルクロックP\_\_CLKとを発生する。一方、外部同期信号発生部3Bは、外部基準複合同期信号EXT\_\_C\_\_SYNCを受け、そして出力に外部水平ブランキング信号EXT\_\_HBKと外部フレーム同期信号EXT\_\_FRMとを発生する。ここで、外部基準複合同期信号は、当該分野で知られているように、水平ブランキング信号と垂直ブランキング信号とが組み合わさった信号である。ジッタ検出部5Bは、内部水平ブランキング信号INT\_\_HBKと外部水平ブランキング信号EXT\_\_HBKとをそれぞれ受ける2つの入力を備え、そしてその出力は、外部同期信号発生部3Bに接続されている。

## 【0021】

より詳細には、外部同期信号発生部3Bは、図示のように、シンクセパレータ30と、遅延回路32と、タイミング整合回路34とから構成されている。シンクセパレータ30は、当該分野では公知の回路であって、受けた複合同期信号から、原始外部フレーム同期信号P\_\_EXT\_\_FRMと原始外部水平シンク信号P\_\_EXT\_\_SYNCを分離して、対応する出力にそれらを発生する。次の遅延回路32は、これら原始外部信号P\_\_EXT\_\_FRMおよびP\_\_EXT\_\_SYNCをそれぞれ受ける2つの入力と、ジッタ検出部5Bからの信号（例えば、後述の遅延選択信号）を受ける入力とを有し、そしてジッタ検出部5Bからのこの信号に依存した遅延量で各原始信号P\_\_EXT\_\_FRMおよびP\_\_EXT\_\_SYNCを遅延させ、そしてその結果を遅延外部フレーム同期信号D\_\_EXT\_\_FRMおよび遅延外部水平シンク信号D\_\_EXT\_\_SYNCとして2つの出力のうちの対



応する出力に発生する。これら遅延信号をそれぞれ受ける入力を有するタイミング整合回路 3 4 は、イコライザ／レシーバ／デフォーマッタ 1 B からのパラレルクロック P \_ C L K も受ける入力を有し、そして遅延外部信号 D \_ E X T \_ F R M および D \_ E X T \_ S Y N C を、パラレルクロックを使用することによって内部水平ブランキング信号 I N T \_ H B K とタイミング整合させ、その結果として外部水平ブランキング信号 E X T \_ H B K と外部フレーム同期信号 E X T \_ F R M を形成する。ここでのタイミング整合は、本来的に、シンクセパレータ 3 0 に供給する外部基準信号は、本来的に、イコライザ／レシーバ／デフォーマッタ 1 B が受けるシリアルデジタル信号とはタイミングがずれているため、このずれを、パラレルクロック周期単位で揃えることである。尚、説明の都合上、本例では、S D I 信号は、フレーム周波数 2 9 . 9 7 H z 、水平周波数 3 3 . 7 1 6 k H z 、垂直周波数 5 9 . 9 4 H z 、フレーム周波数 2 9 . 9 7 H z （走査線数は 1 1 2 5 本で各走査線当たり 2 2 0 0 ドット）の高品位テレビジョン信号（H D T V ）のものとする。この場合、パラレルクロックは、7 4 . 1 7 5 8 M H z である。また、外部基準複合同期信号は、S D I 信号とタイプまたはフォーマットが同じもの、すなわち、水平周波数 3 3 . 7 1 6 k H z 、垂直周波数 5 9 . 9 4 H z 、フレーム周波数 2 9 . 9 7 H z のものとする。上記のようにして発生された外部水平ブランキング信号 E X T \_ H B K と外部フレーム同期信号 E X T \_ F R M は、例えば、ウェーブフォーム・モニタのような波形表示装置の波形表示ブロックへと、例えばトリガ信号として供給される。

#### 【 0 0 2 2 】

図 3 は、図 2 のタイミング整合回路 3 4 の 1 実施形態の詳細な回路を示す回路図である。このタイミング整合回路 3 4 は、2 つの部分、すなわち、フレーム整合部 3 4 0 と水平シンク整合部 3 4 2 とから構成されている。詳細には、フレーム整合部 3 4 0 は、2 つのフリップフロップ F / F ( X ) , F / F ( Y ) と、インバータ I N V 1 と、AND ゲート ( A N D 1 ) と、OR ゲート ( O R 1 ) と、2 つのカウンタ C O U N T E R ( X ) , C O U N T E R ( Y ) とから構成されている。

#### 【 0 0 2 3 】

図 4 も参照しながら説明すると、最初の F/F (X) は、データ入力端子 (D) に信号 D\_EXT\_FRM (図 4 (a)) を受け、クロック入力端子 (CLK) にクロック P\_CLK (図 4 (b)) を受け、そして Q 端子に出力 FF\_XO (図 4 (c)) を発生する。この出力 FF\_XO は、“サンプル同期信号”とも呼ぶことができる。この F/F (X) は、クロック P\_CLK の立ち上がりエッジで D\_EXT\_FRM の状態をサンプリングし、そしてこのサンプリングした状態を Q 出力に FF\_XO として発生する。次に、F/F (Y) は、D 入力に出力 FF\_XO を受け、クロック入力に P\_CLK を受け、そして Q 端子に出力 FF\_YO (図 4 (d)) を発生する。この F/F (Y) は、F/F (X) の出力 FF\_XO を、クロック P\_CLK の 1 クロック分遅延させるよう動作する。次のインバータ INV1 は、出力 FF\_YO の状態を反転させた出力 INV1\_O (図 4 (e)) を発生し、そして次にゲート AND1 で、反転出力 INV1\_O と出力 FF\_XO の AND 演算を行い、これによって出力 G1\_O (図 4 (f)) を発生する。この出力 G1\_O は、ゲート OR1 を介して 2 つのカウンタ (X), (Y) の双方のリセット端子に供給される。したがって、ゲート出力 G1\_O は、リセット・パルスを構成するものである。このリセット・パルスを受けるためゲート OR1 の出力 G3\_O に結合されたりセット端子 (RESET) を有するカウンタ (X) は、クロック端子にクロック P\_CLK を受け、そして Q 端子に、そのカウント結果として外部水平ブランキング信号 EXT\_HBK (図 4 (g)) を発生する。すなわち、カウンタ (X) は、リセットされてから 1 走査線中のドット数である 2200 をカウントしたときにハイの出力を発生する。さらに、このカウンタは、2200 のカウントを終了すると、0 に戻りそしてこれから再びカウントを開始する。このようにして、次のリセット・パルスによってリセットされるまで、2200 カウントする度にハイのパルスを発生し、これを繰り返すことによって水平ブランキング信号を形成する。一方、カウンタ (Y) は、同じくゲート OR1 の出力 G3\_O に結合されたりセット端子 (RESET) を有し、そしてクロック端子にクロック P\_CLK を受け、イネーブル端子 (ENABLE) にカウンタ (X) の出力である信号 EXT\_HBK を受け、そして Q 端子に、そのカウント結果として外部フレーム同期信号 EXT\_FRM (図 4 (h)) を発生する。すなわち、

カウンタ (Y) は、リセットされた後に、イネーブル信号がハイのときのみクロック  $P\_CLK$  をカウントし、そして 1 フレーム中の走査線数に対応する数、本例では 1125 本 ( $= 1125 \times 2200 = 2475000$  ドット) をカウントしたときにハイとなる出力を発生する。

#### 【0024】

このフレーム整合部 340 は、処理対象の SDI 信号と外部基準同期信号とが、水平周波数が異なっても同じフレーム周波数のものであれば機能する。例えば、双方の信号が、標準品位テレビジョン (SDTV) 信号でしかもインタレース走査のタイプのものである場合、あるいは一方が標準品位テレビジョン信号で他方が高品位テレビジョン (HDTV) 信号である場合等である。尚、標準品位テレビジョン信号と高品位テレビジョン信号とが、同じフレーム周波数を有している。

#### 【0025】

これに対し、水平シンク整合部 342 は、SDI 信号と外部基準同期信号とが、フレーム周波数に加えて水平周波数も同じときに機能する回路である。すなわち、この水平シンク整合部 342 は、フレーム整合部 340 の  $F/F(X)$ 、 $F/F(Y)$ 、INV1、ゲート AND1 の回路構成と同じであって、2 つのフリップフロップ  $F/F(M)$ 、 $F/F(N)$ 、インバータ INV2、AND ゲート (AND2) とから構成されている。異なっている点は、信号  $D\_EXT\_FRM$  ではなく信号  $D\_EXT\_SYNC$ 、すなわちフレーム周期ではなく走査線周期で第 2 のリセット・パルスゲート AND2 から出力  $G2O$  (図 4 には図示せず) として供給することである。この第 2 リセット・パルスは、ゲート AND1 からのリセット・パルスと OR 演算されてカウンタ (X) のみに供給される。このため、カウンタ (X) は、フレーム周期毎のリセット処理に加え、走査線周期毎でもリセット処理を受けることにより、外部基準信号により正確にタイミング整合した外部水平ブランキング信号  $EXT\_HBK$  を発生することになる。したがって、フレーム整合部 340 は、処理対象の SDI 信号と外部基準信号の水平周波数が異なる場合には、不使用とする (例えば、 $F/F(M)$  をリセットしたままにすることにより行う)。尚、カウンタ (X) およびカウンタ (Y) のカウ

ント設定値は、処理対象のSDI信号と外部基準信号の各映像信号タイプにしたがって、例えばCPUからのカウンタ・プリセット値の変更により適宜変更することができる。

#### 【0026】

ここで、図5を参照して、図3に示したようなタイミング整合回路部分（回路34に相当）における従来の問題点について説明する。図2の外部同期信号発生部3Bにおいては、従来、遅延回路32が設けられておらず、したがって原始外部フレーム同期信号P\_\_EXT\_\_FRM（図5（a））がタイミング整合回路へ直接供給されていた。この場合、図5に示したように、フリップフロップ回路（図3のF/F（X）に相当）では、パラレルクロックP\_\_CLKでこの信号P\_\_EXT\_\_FRMをサンプリングあるいはラッチを行うが、このフリップフロップでは、安定な動作のためには、ある一定の長さのセットアップ時間を必要としている。しかし、外部基準信号とパラレルクロックの位相関係は、伝送路（機器やケーブル等）の遅延時間により変化するため、そのようなセットアップ時間を常に確保することができない。また、信号P\_\_EXT\_\_FRMは、図5は、真っ直ぐ立ち上がるきれいな波形として描いているが、実際には、もっともなだらかに立ち上がる場合が多い。このような理由から、“不安定領域”として示したセットアップ時間未満の時点“X1”でラッチが生じた場合、そのときの信号P\_\_EXT\_\_FRMの実際の状態に依存して、ハイにラッチした波形（図5（c））となったり、あるいはローのままで次のパラレルクロックの立ち上がり時である時点“X2”でハイにラッチした波形（図5（d））となったりすることが起きてしまう。この結果、パラレルクロック1クロック分のジッタが生ずる。このジッタは、図4の波形図では、図4（c）で生じ、そしてこのジッタが、図4のその後の（d）から（h）までのすべての波形にもジッタを生じさせてしまう。また、このようなジッタは、SDI信号の波形表示においても現れてしまうことになる。このようなジッタは、本実施形態では、ジッタ検出回路5Bおよび遅延回路32を使用することによってキャンセルすることができる。

#### 【0027】

次に、図6および図7を参照して、ジッタ検出回路5Bの1実施形態の詳細回

路について説明する。図 6 に示したジッタ検出回路 5 B は、図示のように、位相差カウンタ 5 0 と、レジスタ A ( 5 2 ) と、レジスタ B ( 5 4 ) と、一致回路 5 6 とカウンタ 5 8 とから構成されている。詳細には、位相差カウンタ 5 0 は、位相差検出対象の信号 I N T \_ H B K ( 図 7 ( a ) ) と信号 E X T \_ H B K ( 図 7 ( b ) ) とを 2 つの入力にそれぞれ受け、そしてクロック入力にパラレルクロック P \_ C L K ( 図 7 ( c ) ) を受け、そして信号 I N T \_ H B K から信号 E X T \_ H B K までのクロック P \_ C L K の数をカウントし、そしてそのカウント結果 ( 図 7 ( a ) の上に示す ) を位相差データとして出力に発生する。本例では、カウンタ出力は、1 4 ビット構成である。次のレジスタ A は、位相差カウンタ 5 0 からの位相差データを受ける入力に有し、また、イネーブル端子に信号 E X T \_ H B K を受け、そしてまたクロック端子にクロック P \_ C L K を受け、そしてトリガ信号がハイのときでかつパラレルクロックの立ち上がり時に、位相差カウンタ 5 0 から位相差データを取り込むと同時に、直前の位相差データを出力に供給する。また、取り込んだ位相差データは、別の出力に、位相差データ a 0 ~ a 1 3 ( 図 7 ( d ) ) として並列で出力する。同様に、レジスタ B も、レジスタ A と同様であるが ( 尚、レジスタ B では、後続のレジスタはない ) 、ただし、レジスタ B は、レジスタ A からの位相差データを受け、そしてこれらは、位相差データ b 0 ~ b 1 3 ( 図 7 ( e ) ) として並列で出力する。次の一致回路 5 6 は、レジスタ A からの位相差データ a 0 ~ a 1 3 とレジスタ B からの位相差データ b 0 ~ b 1 3 とをそれぞれ受ける 2 つの入力とを有し、そしてそれらの一致不一致を判定し、そして不一致の場合にジッタ・パルス J T P ( 図 7 ( f ) ) を出力に発生する。ジッタ・パルスは、信号 I N T \_ H B K がハイの間に開始するパラレルクロックの 1 クロック周期の間ハイとなるパルスである。このジッタ・パルス J T P を受ける入力に有するカウンタ 5 8 は、このジッタ・パルスの数をカウントし、そしてそのカウント結果を遅延選択信号 D S として出力に発生する。遅延選択信号 D S は、カウントの大きさに比例した遅延量を選択するための信号である。したがって、ジッタ検出回路 5 B では、水平ブランキング期間に実質上相当する一定期間毎に、不一致の有無を検出し、そして不一致が検出される限りカウント値の増大を通して遅延量を増大させて行き、そして不一致がそれ以上検出されなくな

ると、そのときの遅延量にとどまる。尚、カウンタ 58 は、本実施形態では、アップ・カウンタであって、その最大カウントに達するとゼロに戻り、そして再びアップ・カウント動作を開始する。

#### 【0028】

次に、図 8 および図 9 を参照して、図 6 の一致回路 56 の 1 実施形態の詳細回路について説明する。尚、図 9 は、図 7 の波形図の一部の期間をより詳細に示したものである。図 8 に示したように、一致回路 56 は、3 つの部分、すなわち、一致検出タイミング発生部 560 と、不一致状態検出部 562 と、不一致信号発生部 564 とから構成されている。まず、一致検出タイミング発生部 560 は、2 つのフリップフロップ  $F/F$  (J),  $F/F$  (K) と 1 つの OR ゲート (OR 3) とから成っている。2 つの  $F/F$  (J) および  $F/F$  (K) は、クロック端子にクロック  $P\_CLK$  を受け、そして  $F/F$  (J) がデータ入力端子に受けた内部水平ブランキング信号  $INT\_HBK$  (図 9 (a)) を、パラレルクロックの 1 クロック分ずつ遅延させることにより、各 Q 端子に、それぞれ信号  $INT\_HBK\_1$  (図 9 (b)) と信号  $INT\_HBK\_2$  (図 9 (c)) とを発生する。これら 2 つの信号  $INT\_HBK\_1$  および  $INT\_HBK\_2$  を受けるゲート OR 3 は、それらの OR 演算をすることによって、パラレルクロック 2 クロック分の間ハイとなる出力 OR 3 O を発生し、これが、一致検出タイミングを定める。これは、図 7 の波形例では、水平期間②における位相差データ“2”と、水平期間③における位相差データ“3”との一致検出タイミングは、水平期間③の  $INT\_HBK$  の直後のパラレルクロック 2 クロック分の期間となる。

#### 【0029】

不一致状態検出部 562 は、14 個の排他的論理和ゲート  $EX-OR 0 \sim 13$  と、1 つの OR ゲート (OR 2) とから成っている。ゲート  $EX-OR 0 \sim 13$  は、図 6 のレジスタ A からの 14 ビット位相差データ  $a 0 \sim a 13$  とレジスタ B からの 14 ビット位相差データ  $b 0 \sim b 13$  を受けるが、各ゲートは、ビット  $a 0$  と  $b 0$ 、 $a 1$  と  $b 1$  のように各データの対応するビットを受けると接続している。これにより、各ゲート  $EX-OR$  は、両入力ビットが不一致のときのみ出力がハイとなる。これらゲート  $EX-OR$  出力を複数の入力に受けるゲート O

R2は、それらのOR演算をすることにより、ゲートEX-OR0～13の少なくとも1つの出力がハイのとき、すなわち隣接する水平期間における位相差データが不一致のときにハイとなる不一致状態出力MSO（図9（e））を発生する。次の不一致信号発生部564は、1つのフリップフロップF/F（L）から成り、そしてこのF/Fは、データ入力に不一致状態出力MSOを受け、クロック端子にクロックP\_CLKを受け、イネーブル端子（ENA）に出力OR3Oを受け、そしてリセット端子にINT\_HBK\_2を受けるように接続している。これにより、F/F（L）は、各INT\_HBK直後の例えば時点t1からt5までの間、出力OR3Oによりイネーブルされ、そしてそのイネーブルされた期間中の最初のクロックP\_CLKの立ち上がりエッジにより不一致状態出力MSOをラッチしてQ端子に発生する。その後、リセット端子の信号INT\_HBK\_2がハイの間におけるクロックP\_CLKの立ち上がりエッジ、すなわち時点t4で、F/F（L）はリセットされる。これにより、不一致状態出力MSOがハイのとき、不一致状態であることを示すとき、各水平期間毎に、クロックP\_CLKの1クロック分の間ハイとなるジッタ・パルスJTP1、JTP2等を発生する。尚、不一致状態出力MSOがローの間は、F/F（L）の出力からは、ジッタ・パルスは発生されない。

### 【0030】

再び図7に戻ると、レジスタAとレジスタBの位相差データが互いに異なる状態が続く限り、すなわち、水平期間①と②の位相差データが“3”と“2”とが異なり、水平期間②と③の位相差データが“2”と“3”で異なり、水平期間③と④の位相差データが“3”と“2”で異なり、水平期間④と⑤の位相差データ“2”と“3”で異なりと、隣接する水平期間で位相差が揺れ続ける限り、上記の不一致状態出力MSOがハイであり続け、この結果として、各水平期間毎にジッタ・パルスJPT1、JPT2、JPT3（図7（f））が発生される。一致回路56からのそれらジッタ・パルスを受ける図6のカウンタ58は、そのジッタ・パルスをカウントしてその結果（図7（g））を遅延選択信号DSとして出力する。以上のようにして、ジッタ検出回路5Bは、信号INT\_HBKと信号EXT\_HBK間の時間差におけるジッタから、ジッタが検出され続ける限り、

遅延量を増大させ続ける遅延選択信号DSを形成する。

#### 【0031】

次に、図10および図11を参照して、図2の遅延回路32の1実施形態の詳細回路について説明する。図10に示したように、遅延回路32は、ディレイライン回路320と、フリップフロップF/F(U)とから構成されている。すなわち、ディレイライン回路320は、図2のシンクセパレータ30からの信号P\_\_EXT\_\_SYNCを受ける入力有し、またジッタ検出回路5Bからの遅延選択信号DSを受ける入力有し、そして受けた信号P\_\_EXT\_\_SYNCを信号DSが指定する遅延量だけ遅延させて、その結果の遅延信号D\_\_EXT\_\_SYNCを出力に発生する。F/F(U)は、この遅延外部水平シンク信号D\_\_EXT\_\_SYNCをクロック端子に受け、そしてデータ端子にシンクセパレータ30からの信号P\_\_EXT\_\_FRMを受けるように接続している。この構成により、F/F(U)は、ディレイライン回路320での遅延量と同じ遅延量を、信号P\_\_EXT\_\_FRMに与えることができ、そしてその結果の遅延外部フレーム同期信号D\_\_EXT\_\_FRMをそのQ端子に発生する。この図10の構成の採用により、所要の遅延を、より少ないディレイラインで実現することができる。

#### 【0032】

図11は、図10のディレイライン回路320の1実施形態の詳細回路を示している。図示のように、このディレイライン回路320は、複数、例えば9個の遅延素子DE1～9の直列接続したものと、マルチプレクサ3200とから構成されている。すなわち、遅延素子の直列接続の入力端は、原始外部水平シンク信号P\_\_EXT\_\_SYNCを受けるように接続している。一方、マルチプレクサ3200は、各遅延素子DE1～9の出力にそれぞれ接続した入力1～9を有し、また、入力端の信号P\_\_EXT\_\_SYNCを受けるように接続した入力10も有している。さらに、マルチプレクサ3200は、遅延選択信号DSを受ける制御入力も有し、これによって、遅延選択信号DSに応答して入力1～10のいずれか1つを出力に接続することにより、遅延外部水平シンク信号D\_\_EXT\_\_SYNCを形成する。ここで、遅延選択信号が指定する遅延量が増加するとき、マルチプレクサの出力に接続する入力は、入力10から入力1の方向にシフトする。そ



して遅延量が最大である入力 1 の後は、再び遅延量ゼロの入力 10 が選択される。

### 【0033】

次に、図 12 を参照して、遅延回路 32 の動作を説明すると、最初は、遅延量ゼロの信号、すなわち原始外部水平シンク信号に等しい遅延外部信号  $D\_EXT\_SYNC0$  (図 12 (a)) が選択されるように設定されている。この状態で、パラレルクロックとの位相関係が図示のような関係にあるとき、すなわち、原始外部水平シンク信号の立ち上がりエッジとパラレルクロックの立ち上がりエッジとの時間差が、図 3 の  $F/F(X)$  のセットアップ時間未満の図示のような位置にあるとする。このとき、図 5 で説明したように、安定なサンプリング動作が期待できないため、ジッタ検出回路 5B からジッタ・パルスが発生されることになる。このジッタ・パルスを 1 つ受けると、このとき、遅延回路 32 は、1 つの単位遅延量の遅延を発生すること、すなわち、マルチプレクサの入力 10 から入力 9 への切り替えを行うことにより、少し遅れた遅延信号  $D\_EXT\_SYNC1$  (図 12 (c)) を発生する。しかし、依然としてセットアップ時間未満であるため、さらにジッタ・パルスが 1 つ発生され、これにより、遅延回路 32 は、さらに 1 つの単位遅延量の遅延を追加、すなわち、入力 9 から入力 8 への切り換えを行って、さらに遅れた遅延信号  $D\_EXT\_SYNC2$  (図 12 (d)) を発生する。このようにして、順番に遅延量を増加させていき、そして時点 A より後で立ち上がる遅延信号  $D\_EXT\_SYNC6$  で十分なセットアップ時間が確保され、したがってこれ以降は、同じ条件の下では、ジッタ・パルスが発生することはない。ここで、遅延回路 32 での最大遅延は、パラレルクロックの 1 周期未満、すなわち時点 B 近くまでの遅延を実現できれば足りる。尚、基準信号の品位等によっては、時点 C 付近まで遅延させて初めて動作が安定する場合もあり、したがって図示のセットアップ時間は、単なる例示に過ぎないものである。

### 【0034】

以上の詳細に説明した本発明の実施形態においては、種々の変更が可能である。第 1 に、上記実施形態では、水平期間単位でジッタの検出および低減の処理を行っているが、水平期間単位以外の所定期間毎、例えばフレーム期間単位でその

ような処理を実行するようにもできる。第 2 に、上記実施形態では、H D T V 信号に関して説明したが、本発明は、S D T V 信号について同様に適用することができる。また、インタレースおよびノンインタレース走査タイプのものにも同様に適用することができる。第 3 に、外部基準信号は、上記のように、処理対象の映像信号とは異なったタイプのものを使用することも可能である。第 4 に、外部同期信号発生部 3 へのジッタ検出回路 5 B からのフィードバック位置は、同様の機能を実現できる限り、その他の任意の位置に変更することもできる。また、遅延回路 3 2 が提供する遅延の分解能は、必要に応じて変更しても良い。また、この遅延回路の構成は、ディレイラインではなくフリップフロップを使用する回路等のその他のタイプの回路とすることもできる。第 7 に、上記実施形態では、ジッタ検出対象の信号として同期信号について説明したが、映像信号に関するその他の任意のトリガ信号についても適用することができる。最後に、上記実施形態では、映像信号処理装置として、ウェーブフォーム・モニタのような波形表示装置について言及したが、その他の映像信号処理装置(例えばスイッチャー)にも本発明を使用することが可能である。

#### 【 0 0 3 5 】

##### 【発明の効果】

以上に述べた本発明によれば、ジッタ・キャンセル処理により、内部同期信号と外部同期信号との切り替え使用時においても、映像信号全体の位相ずれをなくすることができるようになる。また、種々の映像信号を、スタジオ等での基準信号に厳密に整合させることができるようになり、これにより制作、編集された結果の映像信号の品質を向上させることができる。さらに、同期用の基準信号の品位がスタジオ毎に異なっても、ジッタ・キャンセル処理により位相ずれのない映像信号の制作、編集が可能となる。またさらに、タイミング整合回路の性能（特にセツトアップ時間の長短、変動）による影響を低減することもできる。

##### 【図面の簡単な説明】

##### 【図 1】

図 1 は、本発明の 1 実施形態のジッタ・キャンセル装置 A を示すブロック図。

##### 【図 2】

図 2 は、図 1 のジッタ・キャンセル装置 A をより具体化した 1 実施形態のジッタ・キャンセル装置 B を示すブロック図。

【図 3】

図 3 は、図 2 のタイミング整合回路の 1 実施形態の詳細な回路を示す回路図。

【図 4】

図 4 は、図 3 の回路の各部の波形を示すタイミング図。

【図 5】

図 5 は、図 3 に示したようなタイミング整合回路部分における従来の問題点を説明するためのタイミング図。

【図 6】

図 6 は、図 2 のジッタ検出回路の 1 実施形態の詳細回路を示すブロック図。

【図 7】

図 7 は、図 6 の回路の各部の波形、データ等を示すタイミング図。

【図 8】

図 8 は、図 6 の一致回路の 1 実施形態の詳細回路を示す回路図。

【図 9】

図 9 は、図 8 の回路の各部の波形を示すタイミング図。

【図 1 0】

図 1 0 は、図 2 の遅延回路の 1 実施形態の回路を詳細に示すブロック図。

【図 1 1】

図 1 1 は、図 1 0 のディレイライン回路の 1 実施形態の回路を詳細に示す回路図。

【図 1 2】

図 1 2 は、図 1 0 の遅延回路の動作を説明するためのタイミング図。

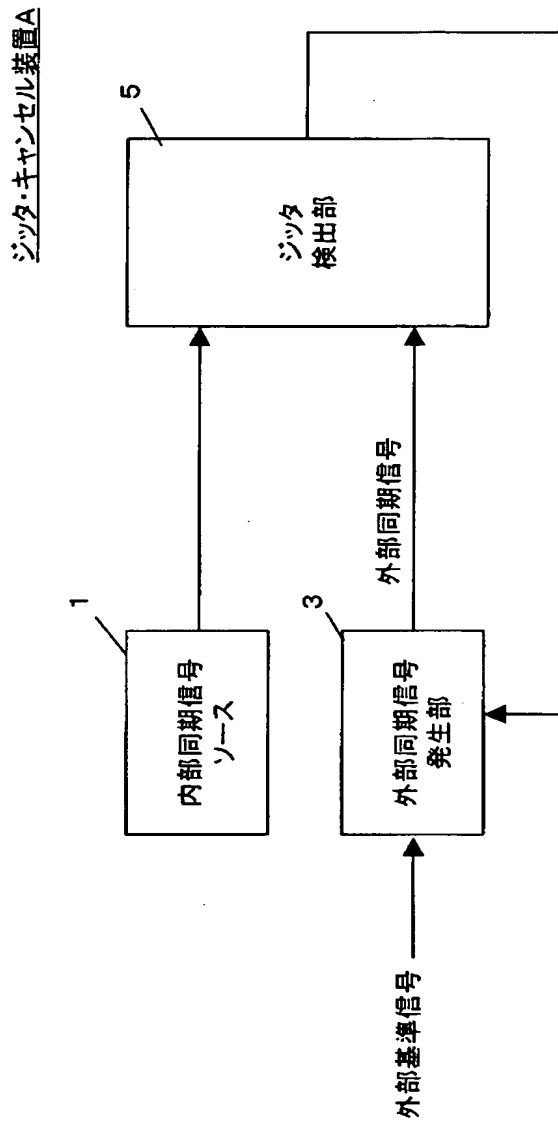
【符号の説明】

- 1 内部同期信号ソース
- 1 B イコライザ／レシーバ／デフォーマッタ
- 3 外部同期信号発生部

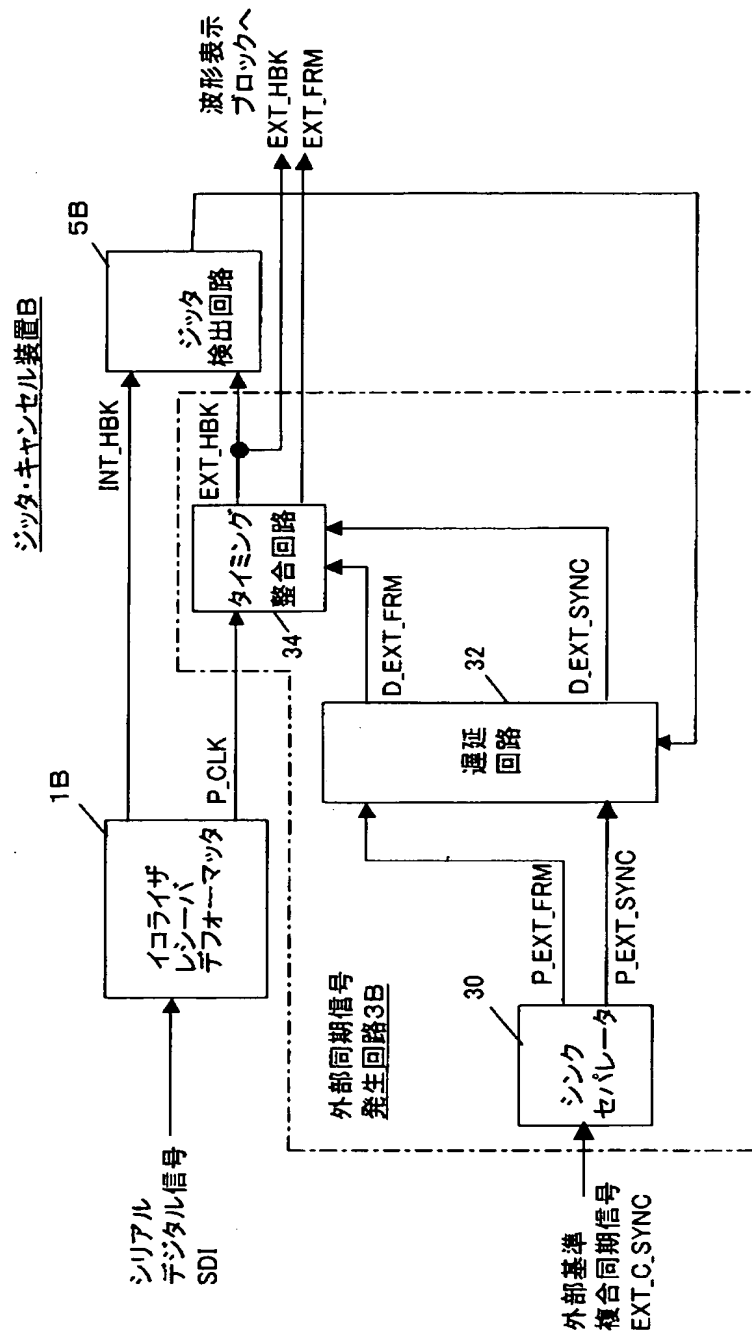
- 3 B 外部同期信号発生部
- 5 ジッタ検出部
  - 5 B ジッタ検出部
- 3 0 シンクセパレータ
- 3 2 遅延回路
- 3 4 タイミング整合回路
- 5 0 位相差カウンタ
- 5 2 レジスタ A
- 5 4 レジスタ B
- 5 6 一致回路
- 5 8 カウンタ
- 3 4 0 フレーム整合部
- 3 4 2 水平シンク整合部
- 5 6 0 一致検出タイミング発生部
- 5 6 2 不一致状態検出部
- 5 6 4 不一致信号発生部

【書類名】 図面

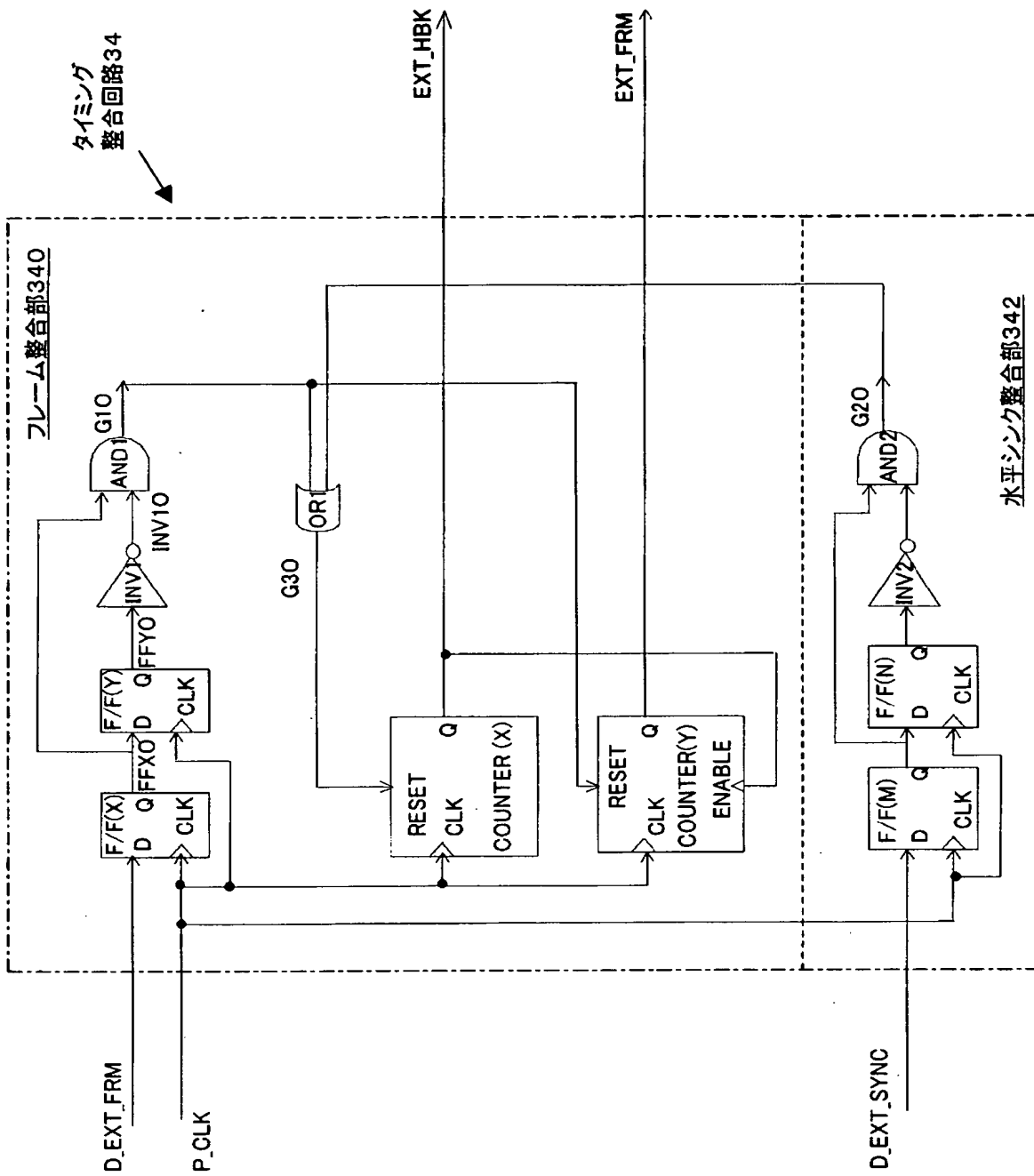
【図 1】



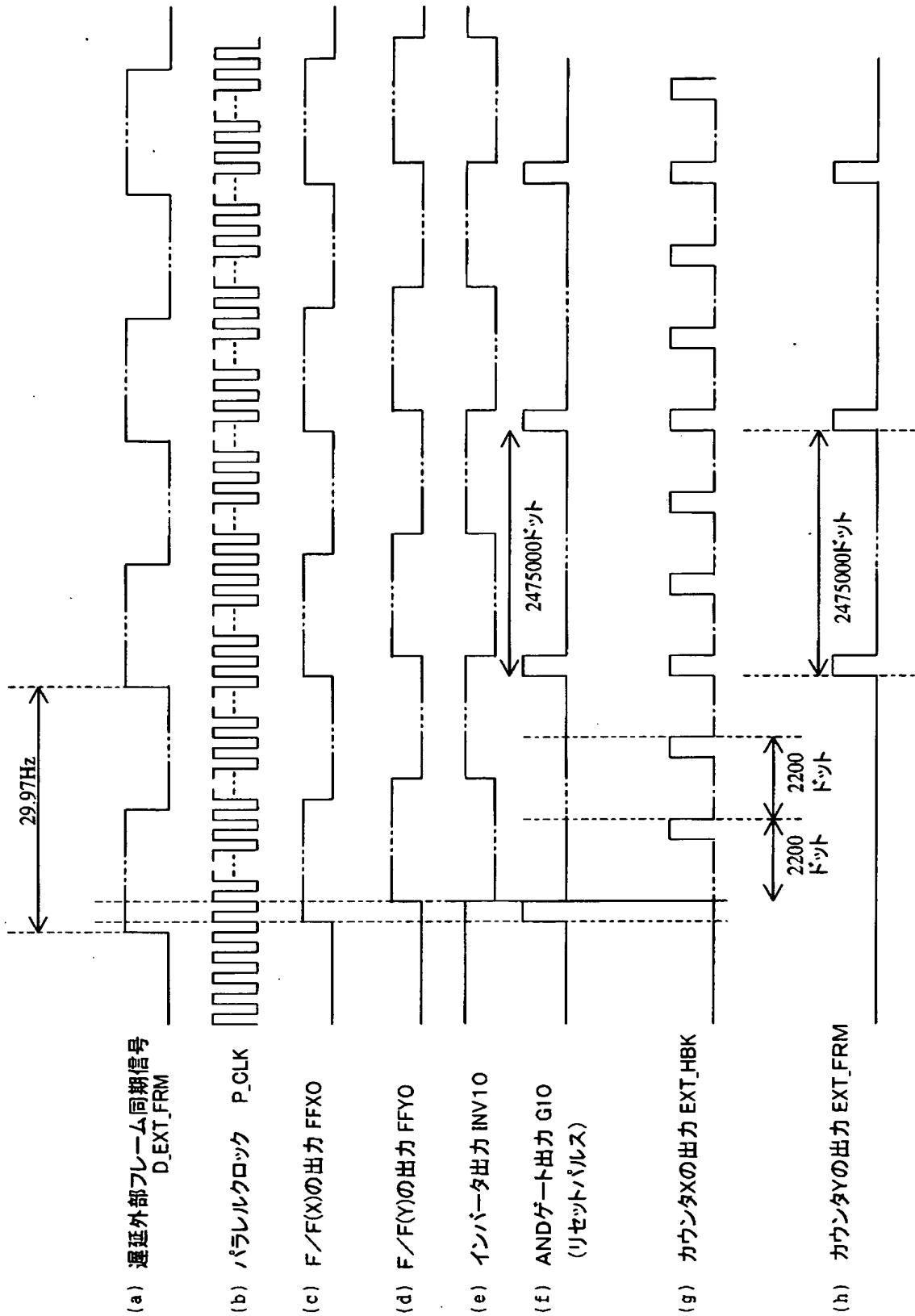
【図 2】



【図 3】

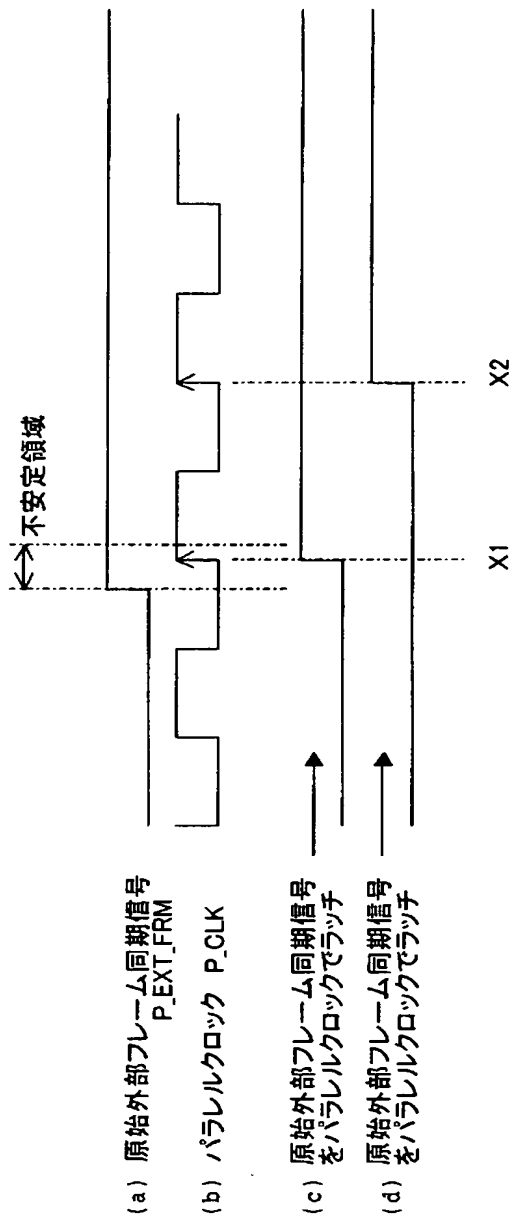


【図 4】

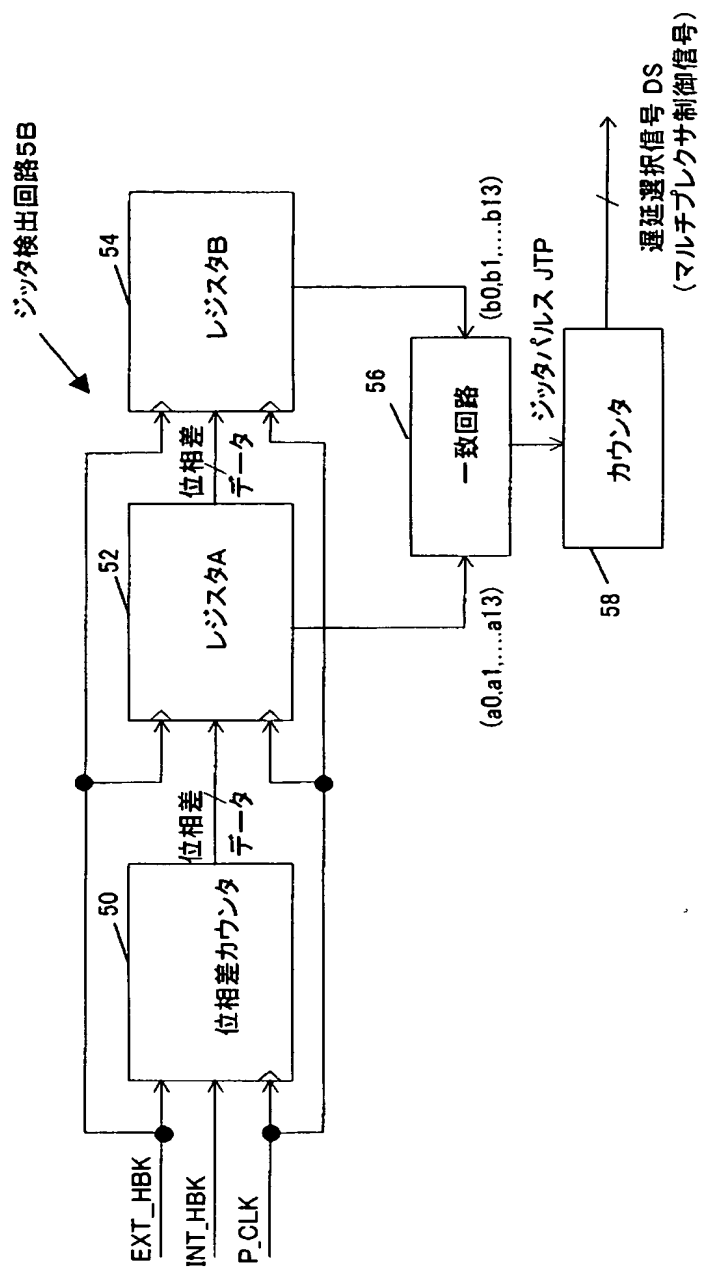




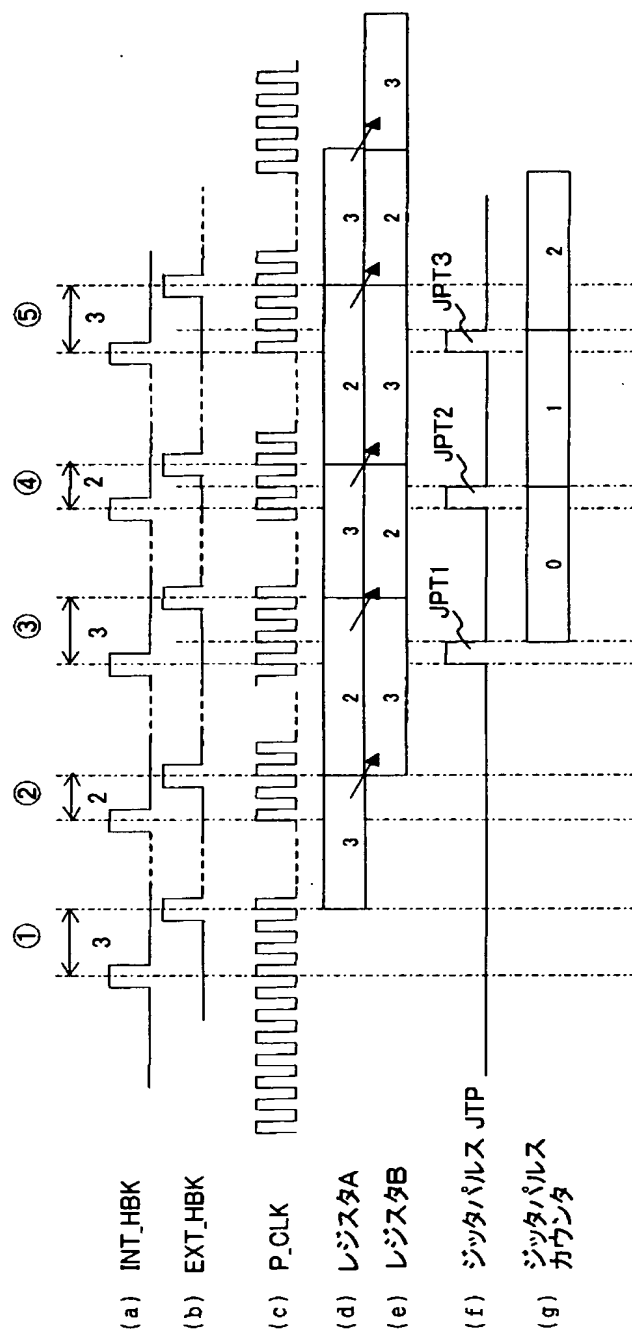
【図 5】



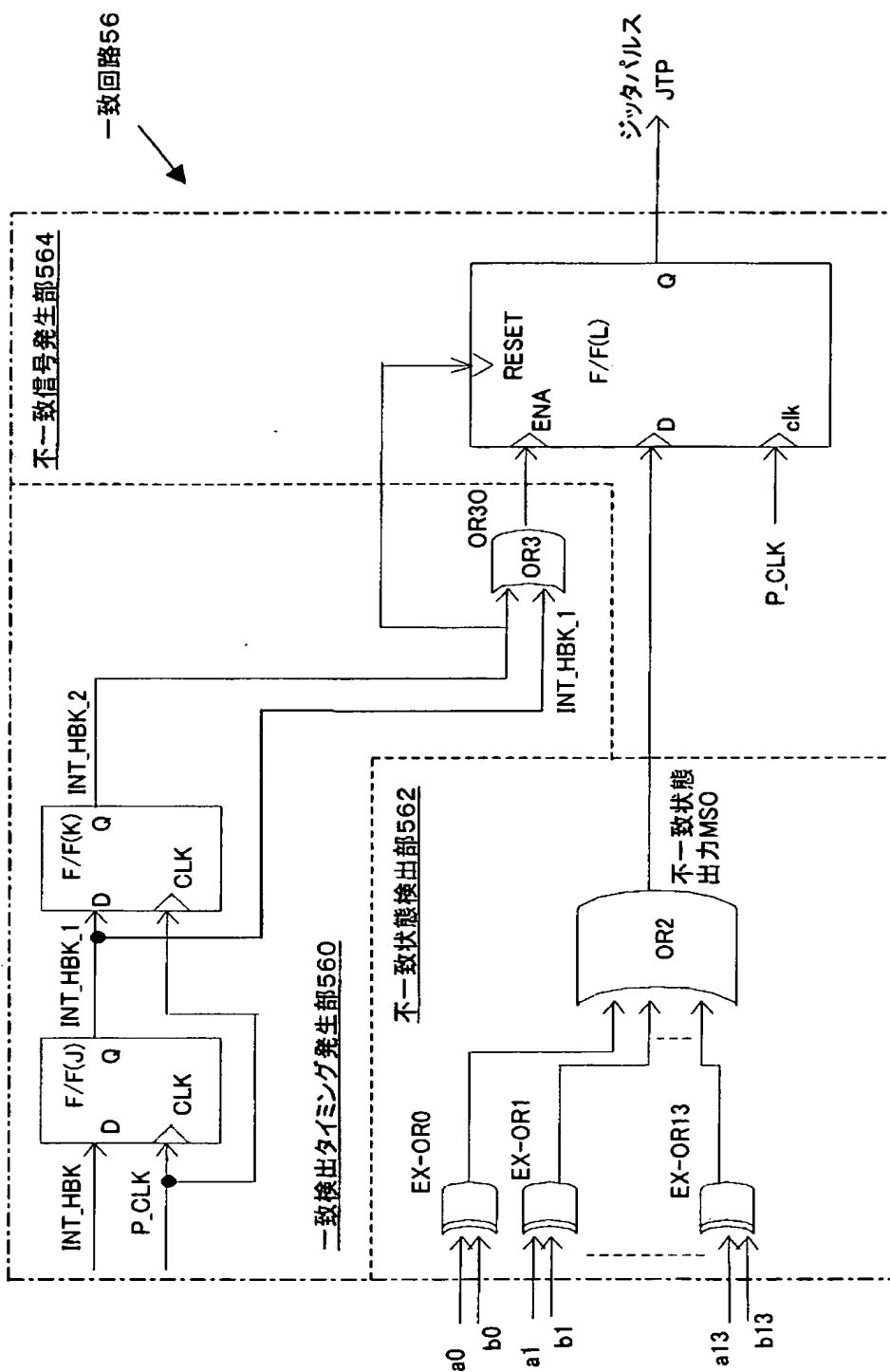
【図 6】



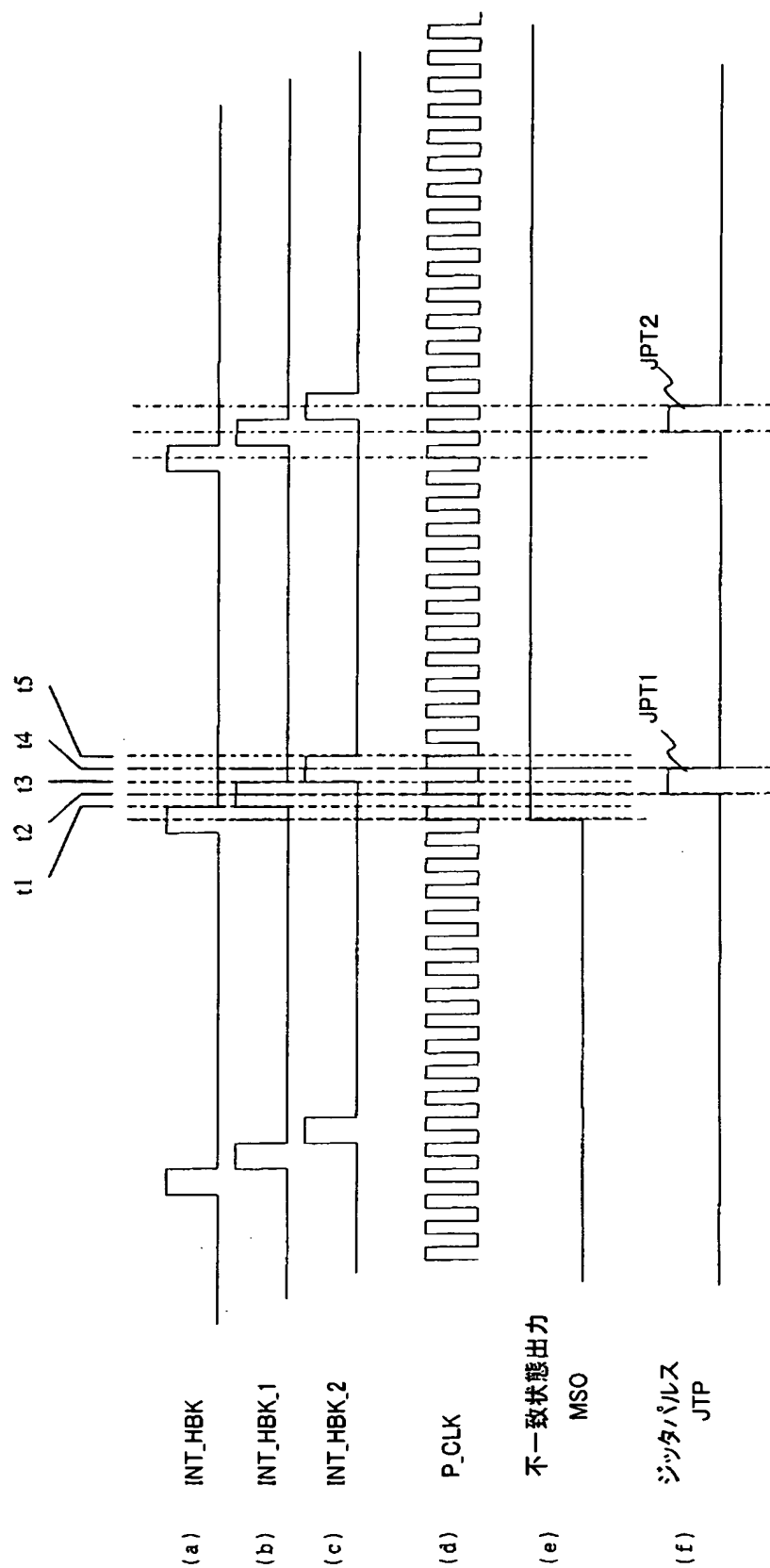
【図 7】



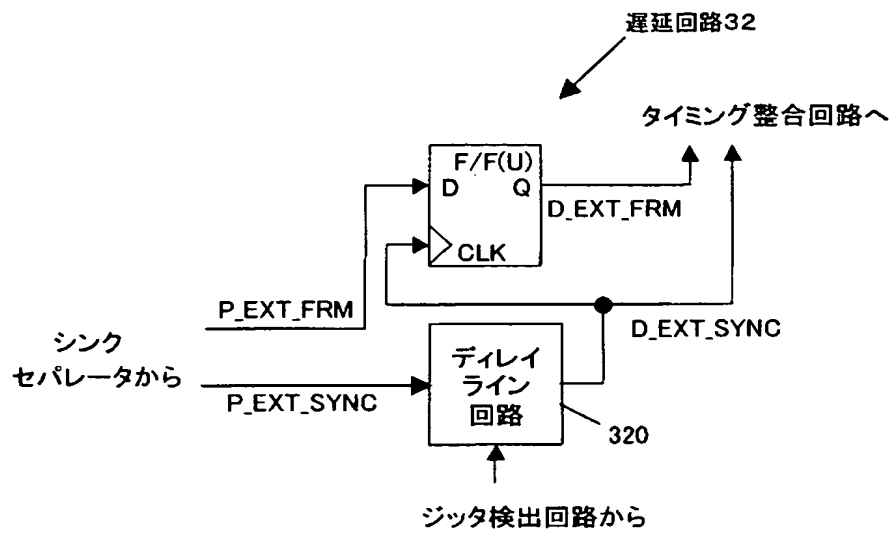
【図 8】



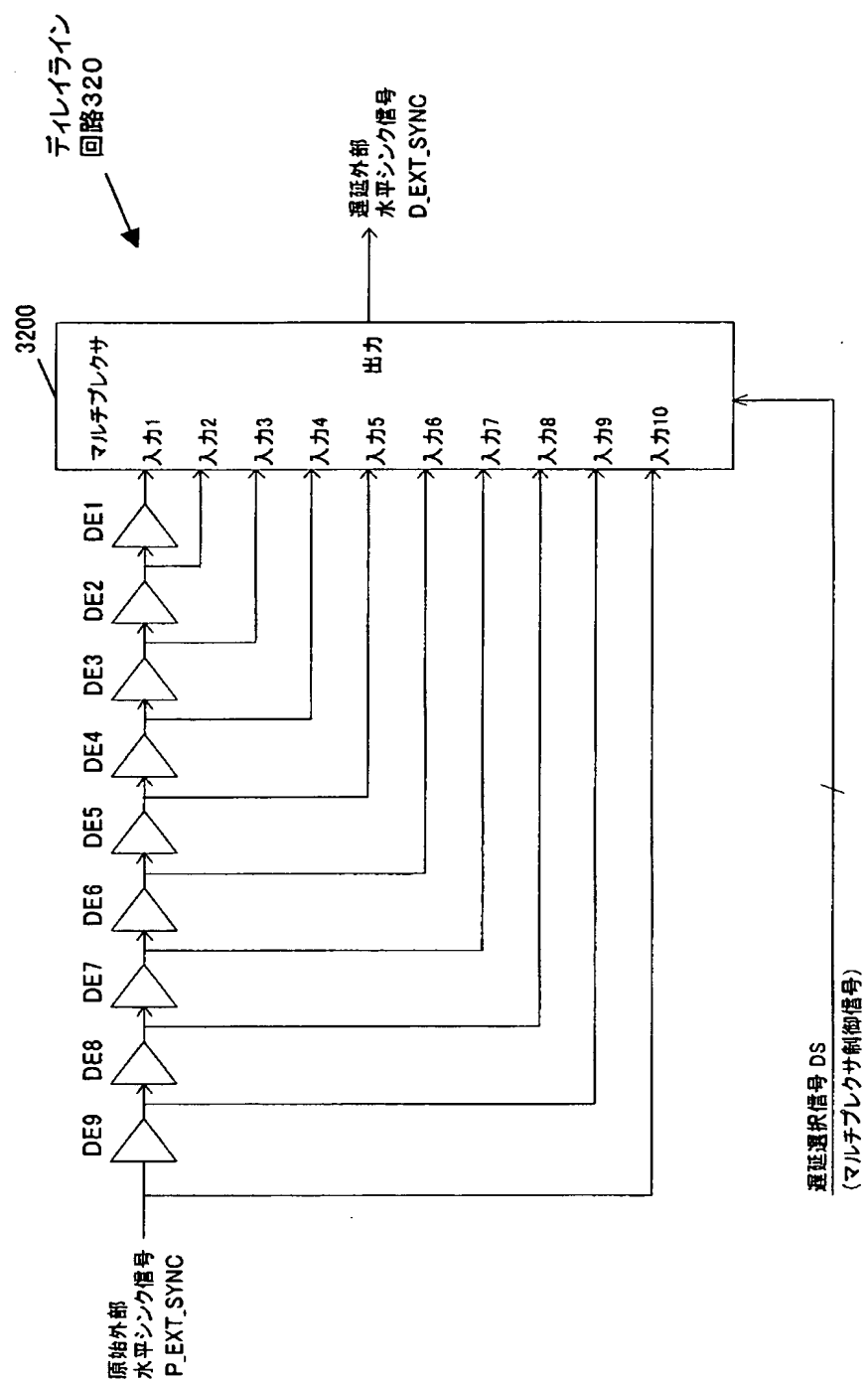
【図 9】



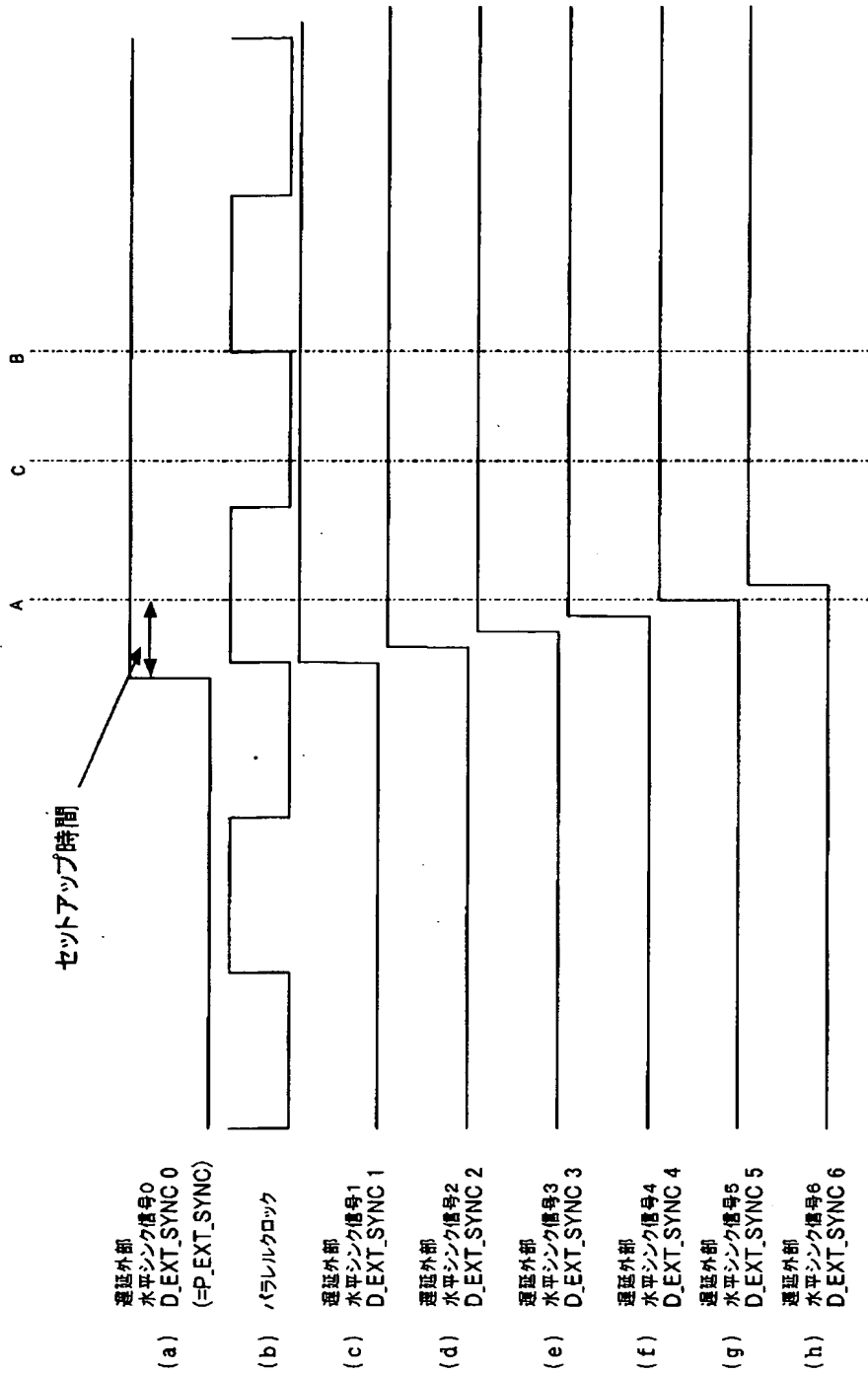
【図 10】



【図 11】



【図 12】





【書類名】 要約書

【要約】

【課題】 本発明の目的は、映像信号におけるジッタをキャンセルするためのジッタ・キャンセル装置を提供する

【解決手段】 ジッタ・キャンセル装置 A は、基準となる内部同期信号とこれとは異なる外部同期信号を用いての映像信号の処理のため、外部同期信号発生部 3 により外部基準信号から外部同期信号を発生する。ジッタ検出部 5 は、内部同期信号と外部同期信号との間の時間差におけるジッタである時間差ジッタを検出する。外部同期信号発生部 3 は、検出された時間差ジッタに応答して、外部同期信号発生動作を制御することにより、時間差ジッタを減少させるよう動作する。

【選択図】 図 1

特願 2 0 0 3 - 0 4 1 2 7 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 1 5 6 0 3 ]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県横浜市港北区綱島東 2 丁目 6 番 3 3 号

氏 名

リーダー電子株式会社